

JP99/1198
日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

PCT/JP 99/01198

5 12.03.99
09/623665

REC'D 21 MAY 1999

WIPO PCT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日

Date of Application:

1998年 3月12日

出願番号

Application Number:

平成10年特許願第060868号

出願人

Applicant(s):

松下電器産業株式会社

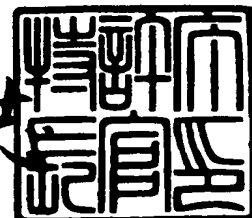
PRIORITY
DOCUMENT

SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

1999年 4月30日

特許庁長官
Commissioner,
Patent Office

山佐 建志



出証番号 出証特平11-3022847

【書類名】 特許願

【整理番号】 2037690122

【提出日】 平成10年 3月12日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 13/00

【発明の名称】 バス選択装置及び半導体集積回路システム

【請求項の数】 7

【発明者】

 【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

 【氏名】 赤松 寛範

【発明者】

 【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

 【氏名】 圓山 敬史

【発明者】

 【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

 【氏名】 平田 貴士

【特許出願人】

 【識別番号】 000005821

 【氏名又は名称】 松下電器産業株式会社

【代理人】

 【識別番号】 100078204

 【弁理士】

 【氏名又は名称】 滝本 智之

【選任した代理人】

 【識別番号】 100097445

 【弁理士】

【氏名又は名称】 岩橋 文雄

【手数料の表示】

【予納台帳番号】 011305

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9702380

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 バス選択装置及び半導体集積回路システム

【特許請求の範囲】

【請求項 1】 複数のチップを含み、前記複数のチップ間の信号の送受を行う半導体集積回路システムであって、

該システムは、前記複数のチップとそれぞれのバスによって接続されたバス選択装置を備え、

前記バス選択装置は、入力されたチップ間の接続情報を検出し、前記複数のチップ間の接続を行うことを特徴とする半導体集積回路システム。

【請求項 2】 前記バス選択装置は、

入力された前記チップ間の接続情報を検出し、選択信号を出力する判定手段と、

前記選択信号を入力し、前記複数のチップ間の接続を選択する選択手段とを有することを特徴とする請求項 1 記載の半導体集積回路システム。

【請求項 3】 前記バス選択装置は、信号送受のタイミング調整のための前記複数のチップ間の信号の送受を制御するラッチ手段を備えることを特徴とする請求項 1 記載の半導体集積回路システム。

【請求項 4】 前記複数のチップは、少なくとも 1 つのマスターチップと複数のスレーブチップから成ることを特徴とする請求項 1 記載の半導体集積回路システム。

【請求項 5】 前記チップ間接続情報はパケット方式で伝送され、前記マスターチップは、前記チップ間接続情報を含むコマンドパケットを生成することを特徴とする請求項 4 記載の半導体集積回路システム。

【請求項 6】 複数のチップ間接続の情報をその一部として含むコマンドを受け取る入力手段と、

前記受け取ったコマンドから、前記複数のチップ間接続の情報を検出する検出手段と、

前記検出した情報より、前記複数のチップ間の接続を選択する選択手段と、

前記受け取ったコマンドを前記選択手段によって選択されたチップに出力する

出力手段と

を有するバス選択装置。

【請求項 7】 前記受け取ったコマンドを前記選択手段によって選択されたチップに出力するタイミングを調整するラッチ手段を有することを特徴とする請求項 6 記載のバス選択装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、複数のチップを接続するバスを選択するバス選択装置およびバス選択装置を含む半導体集積回路システムに関する。

【0002】

【従来の技術】

近年、情報化社会が急速に成長するに従い、多くの情報量を大量に、しかも高速に処理する半導体回路システムが必要とされている。そうした大容量の情報を処理するためには多くの記憶素子（メモリ）が必要であり、またロスの少ない高速なデータ伝送が必要となる。従来例として、DRAMに代表される半導体メモリを複数連続して接続しようとする、そのメモリを制御するメモリコントローラからメモリまでのバス長が増加することで信号の伝達遅延が生じ、高速データ転送においてはこの遅延が問題となってきた。また、メモリの大容量化を目指し、複数のメモリを配置、制御しようとした際、メモリコントローラからそれぞれのメモリに接続するバスの長さによらつきが生じ、各バスにおいて信号伝達に差が生じてしまうこととなる。従って、メモリコントローラ部とメモリとの間のクロックスキューが補償できず、特に高速クロック動作においてはシステムの安定した高速動作が保証できなくなる場合がある。そこで、メモリコントローラ部とメモリ間のバス長を短く、等しくすることで信号の伝達遅延を減少させ、クロックスキューを保証し、高速なデータ転送を行う半導体集積回路システムが提案されている。

【0003】

例えば、Rambus社の回路システムでは、メモリコントローラからメモリまでの

距離を短くすることで、高速安定動作を提案したものである。また、より多くのメモリを接続する場合は、メモリコントローラ部に複数のチャンネルを設置し、メモリを制御する方法をとる。

【0004】

【発明が解決しようとする課題】

しかしながら、上述のような従来の半導体回路システムにおいては、複数のメモリをシリアルに接続する際、メモリの数を増加させていくとメモリコントローラ部から最終のメモリまでのバス長が長くなり信号の遅延が生じる。また、複数のメモリを接続する際にも同様に遅延は生じてしまい、高速クロック動作においてはシステムの安定した高速動作が保証できなくなる場合がある。また、メモリコントローラ部に複数のチャンネルを設置する場合、メモリコントローラ部のピン数が増加してしまい、パッケージサイズを増大させ、生産コストの面においても問題となる。

【0005】

本発明は、上記事情に鑑みてなされたものであり、その目的は、マスターチップのピン数の増加なしに、マスターチップから複数のスレーブチップまでの距離を短く保つことで遅延やばらつきを少なくし、複数のスレーブチップを高速にしかも効率よく制御するバス選択装置および半導体集積回路システムを提供することにある。

【0006】

【課題を解決するための手段】

請求項1に係る本発明による半導体集積回路システムは、複数のチップを含み、前記複数のチップ間の信号の送受を行う半導体集積回路システムであって、該システムは、前記複数のチップとそれぞれのバスによって接続されたバス選択装置を備え、前記バス選択装置は、入力されたチップ間の接続情報を検出し、前記複数のチップ間の接続を行う構成を採用する。

【0007】

また請求項4に係る本発明は、前記複数のチップは、少なくとも1つのマスターチップと複数のスレーブチップから成ることが望ましい。

【0008】

請求項1および請求項4に係る本発明によれば、本半導体集積回路システムは複数のチップ間の信号の送受を行い、入力されたチップ間の接続情報を検出し、前記複数のチップ（マスターチップ—スレーブチップまたはスレーブチップ—スレーブチップ）間の接続を行うバス選択装置を備えるため、マスターチップのピン数の増加なしに、マスターチップから複数のスレーブチップまでの距離を短く保つことが可能となり、遅延やばらつきを少なくでき、複数のスレーブチップを高速にしかも効率よく制御できることとなる。

【0009】

請求項6に係る本発明によるバス選択装置は、複数のチップ間接続の情報をその一部として含むコマンドを受け取る入力手段と、前記受け取ったコマンドから、前記複数のチップ間接続の情報を検出する検出手段と、前記検出した情報より、前記複数のチップ間の接続を選択する選択手段と、前記受け取ったコマンドを前記選択手段によって選択されたチップに出力する出力手段とを有する構成を採用する。

【0010】

【発明の実施の形態】

図6は、半導体集積回路システム100を模式的に示すブロック図である。図6に示されるように、半導体集積回路システム100は、1つのマスターチップ1と複数のスレーブチップ2及びバス選択装置3を含んでいる。マスターチップ1の制御により、各スレーブチップ2においてデータ処理（例えば、データの読み出し及び書き込みなど）が行われ、その結果、スレーブチップ2から得られるデータが、所定のクロックCLK1の制御によって伝送される。バス選択装置3は、マスターチップ1から出力される複数のスレーブチップ2のID情報を検知し、その検知結果を判定する判定手段と、判定手段からの判定結果を受け、マスターチップと複数のスレーブチップ2とのnビットからなるバス4の接続を担うスイッチ手段とを含んでいる。尚、図面には示していないが、クロックCLK1の経路については、マスターチップ1とバス選択装置3にクロックCLK1を入力し、バス選択装置内に設けるクロック位相調整手段によって生成されたクロックを複数のスレーブチ

ップ2に入力し、複数のスレーブチップ2を制御することも可能である。

【0011】

本発明は、機能的には図6に示す半導体集積回路システム100と同様であるが、バス選択装置3を改善したバス選択装置13およびこのバス選択装置13を含む半導体集積回路システムを提供するものである。

【0012】

以下、図面を参照しながら本発明の一実施の形態をより具体的に説明する。

図1は、一実施の形態による半導体集積回路システム110を示すブロック図である。本実施の形態では、半導体集積回路システム110がマスターチップ1としてCPU、複数のスレーブチップ2として第1、第2及び第3のDRAM 2a、2b及び2cを含む場合を説明する。

【0013】

マスターチップ1とバス選択装置13は、コマンドとデータを伝送する複数のビット幅を有するバス4によって接続されている。複数のスレーブチップ2a～2cとバス選択装置13は、コマンドとデータを伝送するバス4a～4cによって接続されている。図1に示されているように、バス選択装置13は、複数のビット幅を有する伝送線路からなるバス4に従ってコマンドやデータの送受を担う送受信部（ドライバー／レシーバ回路）6と、送受信部6からコマンドを受け、複数のスレーブチップ2a～2cのID情報を解析し、その判定結果を出力する判定回路7と、判定回路7からの判定結果を受け、マスターチップ1と複数のスレーブチップ2とのバスの選択スイッチより1つのスイッチを活性化するスイッチ回路8と、スイッチ回路8を通してマスターチップ1から送られてきたコマンドや複数のスレーブチップ2a～2cからスイッチ回路8へ送られるデータをラッチする複数のラッチ回路9a～9cと、クロックCLK2を生成するクロック位相調整回路（DLL）10と、複数のスレーブチップ2a～2cとバス選択装置13とのデータやコマンドの送受を行う複数の送受信部（ドライバー／レシーバ回路）6a～6cを備えている。

【0014】

バス選択装置13は、マスターチップ1及び複数のスレーブチップ2a～2cと

が複数の伝送線路からなるバス4、4a~4cによって接続され、コマンドやデータの送受信を行う送受信部6、6a~6cが各々のバス4、4a~4cに対して備えられている。バス選択装置13を、マスターチップ1と共に1チップに構成するかまたは単独に1チップで構成するかは適宜選択すればよい。

【0015】

判定回路7は、図2に示すように、送受信部6から出力された信号を受ける入力手段（受信部）7aと、判定回路7からの信号を出力する出力手段（出力部）7dとを備え、送受信部6からのコマンドを解析し、複数のバスの選択スイッチより1つのスイッチを選択する判定部7bを備えている。

【0016】

スイッチ回路8は、マスターチップ1に対応する送受信部6と複数のスレーブチップ2に対応するそれぞれの送受信部6a~6cとの間に備えられている。スイッチ回路8は、バス4により送受信部6との間でコマンドやデータの送受信を行い、バス4a~4cにより、複数のバス選択スイッチと複数の送受信部6a、6b、6cとの間でコマンドやデータの送受信を行う。また、バスSを通じて、判定回路7からの信号を受け、判定回路7からの信号によって、複数のバス選択スイッチを開閉させ、1つのバスを選択するデコード機能と、その選択されたスイッチの状態を次のバスが選択されるまで保持するラッチ機能を有する。

【0017】

複数のラッチ回路9a~9cは、スイッチ回路8と複数の送受信部6a~6cとの間にそれぞれ備えられ、複数のバス4a~4cを介して複数の送受信部6a~6cと接続され、また判定回路7とつながるバスSによって接続されている。複数のラッチ回路9a~9cは、バススイッチ回路8からの信号と、判定回路7からの信号と、クロック位相調整回路10からのクロックCLK2を受け、複数の送受信部6a~6cにスイッチ回路8から入力された信号を出力する。この複数のラッチ回路9a~9cは、また複数の送受信部6a~6cからのデータと、判定回路7からの信号と、クロック位相調整回路10からのクロックCLK2を受け、スイッチ回路8に複数の送受信部6a~6cから入力されたデータを出力するような双方向ラッチ回路の構成をとる。

【0018】

クロック位相調整回路10はクロック線5aからクロックCLK1と、クロック線5bを介してフィードバックされたクロックCLK2を受け、そのクロックCLK2の状態を判断し、その変化に基づいてクロックCLK1の位相を調整することにより、位相調整されたクロックCLK2を生成する。このクロックCLK2によって複数のラッチ回路9a~9cの動作タイミングを決定し、マスターチップ1からのコマンドを複数のスレーブチップ2a~2cへ出力するタイミングを調整している。ラッチ回路9a~9cはクロック位相調整回路10から出力されたクロックCLK2と判定回路7からの信号によって制御され、判定回路7からの信号がHレベルなら、その期間、スイッチ回路8や、複数のスレーブチップ2より送られてくる信号を取り込む。このような方法をとることで、スイッチ回路の活性化と信号伝送のタイミング調整を行い、複数のスレーブチップ2との間の信号の制御を行うことができる。複数のラッチ回路9a~9cからの出力は、複数のスレーブチップ2a~2cの送受信部6a~6cにそれぞれ送られ、送受信部6a~6cから各々のスレーブチップ2a~2cへコマンドを送る。

【0019】

複数のラッチ回路9a~9cは双方向への信号の送受信を行うことが可能であるが、これらの構成は、一つの回路で双方向ラッチ機能を有しても、単方向ラッチ回路をそれぞれ逆方向に組み合わせて双方向ラッチ機能を有しても良い。

【0020】

尚、複数のスレーブチップである第1、第2及び第3のDRAM2a~2cはDDR DRAMやSLDRAMに見られるようなメモリ内部にクロック位相調整機能や、クロック線をそのまま折り返してデータクロックとして用いるような機能を持つことも可能である。これらの機能を持つことでDRAMからデータを出力する際、クロックCLK1とのタイミングを調整せずに出力することができる。

【0021】

次に、半導体集積回路システム110の動作を詳しく説明する。

図4は、図1に示す半導体集積回路システム110の動作の一例として、マスターチップ(CPU)1からコマンドを送信し、選択されたスレーブチップ(DRAM)

2aからデータを読み出す、読み出し動作のタイミングを模式的に示している。ここではコマンドやデータの伝達を行うバスが8ビット存在する場合を想定する。この場合、コマンドは、複数のスレーブチップ2a～2cへの伝送線路から1つの伝送線路を選択する選択情報（スレーブチップのID情報を含むコマンドC I xx）とスレーブチップ2aの読み出しアドレス（スレーブチップのID情報を含まないコマンドC xx）とから成り、図4に示されるように、クロックCLK1に同期（クロックの立ち上がり、立ち下がりに同期）してパケット方式で送られる。バス4はバス4上における信号の伝播の状態を示している。バス4上を伝播する信号は、まずはじめにコマンドC I xxがマスターチップ1より出力される。その後、目的のスレーブチップ2aへコマンドが送られ、スレーブチップ2aでコマンドが実行される。その後、データD xxがマスターチップ2aより出力され、マスターチップ1へ送られる行程をとる。

【0022】

尚、このコマンドの送信は、図4（a）のようにID情報を含むコマンド信号C I xxと読み出しアドレス等のコマンドC xxとを連続的に送信しても、図4（b）のように最初にID情報を含むコマンドC I xxを送信し、その後、読み出しアドレス等のコマンドC xxを送信することも可能である。

【0023】

図5はマスターチップ1から出力されるコマンドパケットの構成例である。図5に示すように、8ビットのバスによってパケット方式で伝送されるコマンドC I xxの構成は、最初の2ビットが複数のスレーブチップ2a～2cのID情報および6ビットのコマンド信号を有し、そのID情報を判定回路7で解析することによって、そのコマンドが与えられるスレーブチップ2aへの伝送線路選択スイッチを選択する。一例として、3つのスレーブチップ2a～2cを選択する場合のID情報の組み合わせを（表1）に示す。またコマンドC xxの構成は、8ビットのコマンド信号から構成される。

【0024】

尚、ID情報を有するコマンドの上位ビットのビット数は、スレーブチップの数の変化やバスの接続方法などに合わせて2ビット以上の任意の値をとることも可

能である。そうすることで複数のスレーブチップの選択が可能となり、より多数のスレーブチップ（DRAM）を制御することができる。また、本実施の形態では、複数のスレーブチップの中から一つのスレーブチップを選択しているが、このID情報を含むコマンドの上位ビット数を増やすことで、同時に複数のスレーブチップに複数のコマンドを送ることが可能となる。

【0025】

コマンドの実行（読み出し処理など）によって得られるデータは、このコマンドの実行に要する所定の処理時間の後に得られる。

【0026】

【表1】

入力		判定
A	B	
0	0	非選択
0	1	スレーブa
1	0	スレーブb
1	1	スレーブc

【0027】

図2に判定回路7の概略図を示す。判定回路7は、バス4よりコマンドを受ける入力部7aと、入力部7aで受けたコマンドを解析する判定部7bと、判定部7bからの判定結果を別の判定結果が入力されるまで保持するラッチ回路7cと、ラッチ回路7cを介した判定結果を出力する出力部7dとを有する。判定回路7の動作の概略を示すと、受信部7aで受けたパケット方式のコマンドの上位2ビットから判定部7bにおいて、複数のスレーブチップ2a～2cへの伝送線路を選択する選択スイッチを活性化させる選択信号Sa、Sb、Scを生成する。例えば（表1）に示すように、上位2ビットの信号が01ならばスレーブチップ2aの選択スイッチSa

、10ならばスレーブチップ2bの選択スイッチSb、11ならばスレーブチップ2cの選択スイッチScを活性化させるようなデコード機能を有する。そして、判定部7bから生成された選択信号Sa、Sb、Scは、ラッチ回路7cによって別の選択信号が生成されるまでその状態を保持する。そして、出力部7dはラッチ回路7cから選択信号Sa、Sb、Scを受け、スイッチ回路8へ出力する。尚、この判定回路7の機能は図1のように独立に設置することも、また、スイッチ回路8内に設置することも可能である。また、判定部7bから生成された選択信号Sa、Sb、Scは図2に示しているように複数ビットの伝送線路を用いて伝達しても良いし、信号をシリアル/パラレル変換することで、伝送線路本数を減らして送信することも可能である。

【0028】

図3にスイッチ回路8の概略図を示す。スイッチ回路8は、マスターチップ1と複数のスレーブチップ2a~2cとを結ぶバス4と4a~4cとの交点に位置し、マスターチップ1から複数のスレーブチップ2a~2cまでのそれぞれの伝送線路長が短くなるようにスレーブチップに応じて設置する。内部にはそれぞれのスレーブチップ2a~2cに対して伝送線路選択スイッチSWa、SWb、SWcを有する。スイッチ回路8は、判定回路7から出力された選択信号Saを受け、マスターチップ1と選択されたスレーブチップ2aとの伝送線路を結ぶ選択スイッチSWaを活性化することでマスターチップ1からの信号を伝えるバス4と、選択されたスレーブチップ2aへ信号を送るバス4aとを接続することができる。尚、選択信号を変化させることで、1又は複数の選択スイッチを活性化することができ、一度に複数のスレーブチップへ同時にコマンドを送信することも可能である。

【0029】

第1、第2及び第3のスレーブチップ2a~2cは、マスターチップ1からの距離（バス長）が長くなり、コマンドやデータの出力タイミングにばらつきが生じてしまう。そこで、クロック位相調整回路10によって、入力されたクロックCLK1を遅延させることによってコマンドやデータ出力のタイミングを調整する。クロック位相調整回路10は一般に用いられているDLL回路などによって構成され、回路内部の状態を出力するクロックCLK2をフィードバックしてくることにより

検出し、入力されたクロックCLK1を遅延させる。そして遅延されたクロックCLK1を位相調整されたクロック信号（クロックCLK2）として遅延クロック出力部から出力する。即ち、クロックを遅延させることによって第2のクロックCLK2を生成する。

【0030】

次に図3を参照しながら、複数のスレーブチップ2a～2cのうちの一つ又は複数のスレーブチップがマスターチップ1からコマンドを受け、コマンドを実行し、コマンドの実行（読み出し処理など）によって得られるデータをマスターチップ1や他の複数のスレーブチップ2へ出力する動作を示す。

【0031】

1) 複数のスレーブチップ2a～2cのうちの一つのスレーブチップ2aからマスターチップ1へデータを出力する場合

マスターチップ1よりスレーブチップ2aへ送られたコマンドの実行後、スレーブチップ2aから出力されたデータは入出力部6aに出力され、ラッチ回路9aへ送られる。ラッチ回路9aで受けたデータはクロックCLK2と選択信号Saによって制御され、スイッチ回路8へ出力される。ラッチ回路9aでは、上述したように、選択信号Sa（Hレベル）が入力されるとデータを取り込むようにすることで、スイッチSWaの活性化と、データの転送のタイミング調整を行っている。スイッチSWaの活性化には、スイッチSWaのID情報を含むコマンドパケットをマスターチップ1より出力し、判定回路7で受け、そのコマンドパケットを解析することでスイッチSWaの選択信号Saをスイッチ回路8へ出力する。またこの選択信号Saは同時にラッチ回路9aへも出力される。スイッチ回路8からのデータは送受信部6へ送られ、送受信部6からマスターチップ1へデータが送られる。

【0032】

2) 複数のスレーブチップ2a～2cからマスターチップ1へデータを出力する場合

動作の一例として、図7のようにスイッチ回路8のSWa、SWb、SWcを駆動させ、マスターチップ1から複数のスレーブチップ2a、2b、2cに順次コマンドを送る場合を考える。図7中のバス4は、バス4を伝播する信号の状態を示してい

る。

【0033】

マスターチップ1から出力されるコマンドの構成は、まずタイミングT1において、スレーブチップ2aのID情報を含むコマンドCIa1を送り、スレーブチップ2aとの伝送線路を確立する。その後、タイミングT3でスレーブチップ2aへコマンドCa1を送る。そして次のタイミングT4においてCIb1を送ることで、スレーブチップ2aとの伝送線路を切断し、スレーブチップ2bとの伝送線路を確立する。その後、T6のタイミングでスレーブチップ2bへコマンドCb1を送付する。タイミングT7～T9においても同様の動作を行う。タイミングT4～T9の動作が行われている間に、スレーブチップ2aへ送られたコマンドCa1は、スレーブチップ2aで実行され、データDa1を出力する。スレーブチップ2aで生成されたデータDa1は、この間、図面には示していないが、ラッチ回路9aに入力され、一時的に保持されている。

【0034】

次に、T10のタイミングでマスターチップ1よりスレーブチップ2aのID情報を含むコマンドCIa2を送り、スレーブチップ2aとの伝送線路を確立する。この時、同時に判定回路7よりラッチ回路9aへも選択信号Saが送られ、ラッチ回路9aで保持されていたデータDa1はスイッチ回路8へ出力される。その後、データDa1はスイッチ回路8、バス4を介してマスターチップ1へ出力される。そしてスレーブチップ2aとの伝送線路が確立された状態で、次のタイミングT12においてマスターチップ1からスレーブチップ2aへ次のコマンドCa2が送られる。残りのスレーブチップ2b、2cに対しても図7のタイミングに沿って同様の動作を行う。

【0035】

このような動作を行うことによって、マスターチップ1と複数のスレーブチップ2a～2cとのコマンド、データの送受が可能となり、複数のスレーブチップ2a～2cを制御することが可能となる。また、このようにコマンドやデータの送受タイミングを調整することで同一タイミング、同一バス上でのコマンドやデータの混在を防ぐことができる。

【0036】

図8は、スイッチ回路8のSWa、SWb、SWcを駆動させ、マスターチップ1から複数のスレーブチップ2a～2cにランダムにコマンドを送る場合のタイミングを示した図である。図8中のバス4は、バス4を伝播する信号の状態を示している。この動作では、マスターチップ1よりスレーブチップ2a、2c、2b、2c、2a、2b、2a、2cの順序でコマンドを送り、データを受けている。

【0037】

マスターチップ1よりスレーブチップ2aにコマンドCa1を送るために、マスターチップ1からは、まずスレーブチップ2aのID情報を含むコマンドCIa1をT1のタイミングで送り、スイッチSWaを活性化しスレーブチップ2aとの伝送線路を確立する。その後、コマンドCa1をスレーブチップ2aへ送る。スレーブチップ2aはコマンドCa1を受け取り、コマンドを実行し、データDa1を出力する。スイッチSWaは、このデータDa1がマスターチップ1に送られるまでその状態を保持する。そして、データDa1がマスターチップ1へ送られた後、マスターチップより次のスレーブチップ2cのID情報を含むCIc1が出力され、スレーブチップ2aとの伝送線路を切断し、スレーブチップ2cとの伝送線路が確立され、T6のタイミングでコマンドCc1がスレーブチップ2cへ送付される。以下同様の動作を行う。このような動作を行うことで、複数のスレーブチップ2a～2cとのランダムな信号の送受が可能となり、複数のスレーブチップのランダム制御が可能となる。また、伝送線路が確立されている間に多くのコマンドを送付することで、連続的なコマンドやデータの送受を行うことができる。

【0038】

尚、上記の実施の形態では示さなかったが、判定回路7に送るスレーブチップのID情報を変化させることで、マスターチップ1とスレーブチップ2との接続だけでなく、スレーブチップ2同士の接続が可能となる。例えば、スレーブチップ2a、2b、2cが演算機能を有するチップである場合、スレーブチップ2aのID情報を含むコマンドバケットを出力し、マスターチップ1とスレーブチップ2aとの伝送線路の接続を確立した後、スレーブチップ2aへコマンドを送る。その後、スレーブチップ2aと2bとを接続するようなID情報を含むコマンドパケ

ットをマスターチップ1より出力し、スレーブチップ2 aと2 bとの伝送線路の接続を確立する。マスターチップ1から送られたコマンドはスレーブチップ2 aで実行され、その実行データを、確立された伝送線路を用いてスレーブチップ2 bに転送し、その実行データをもとにスレーブチップ2 bにおいて別の処理を行うことも可能である。

【0039】

また、スイッチ回路8は複数の伝送線路からなるバスの1本の伝送線路に対し、1つずつ備えることも考えられ、コマンドパケットに含まれるスレーブチップのID情報を定義することで、例えばマスターチップ1につながるバス4 aの伝送線路の1本目はスレーブチップ2 aのバス4 aの1本目と接続させ、2本目はスレーブチップ2 bのバス4 bの2本目と、スレーブチップ2 aのバス4 aの3本目はスレーブチップ2 cのバス4 cの3本目と接続させるなど、同時にマスターチップ1とスレーブチップ2、スレーブチップ2同士などの接続を行うことが可能である。

【0040】

尚、本発明はこれらの例に限られず、複数のマスターチップと少なくとも1つのスレーブチップといった構成をとることもできる。

【0041】

尚、本発明はこれらの例に限られず、バスのビット数（伝送線路本数）は必要に応じて定めることができる。

【0042】

【発明の効果】

本発明によるバス選択装置はマスターチップ（メモリコントローラ部）からのバス長を増加させることなく、しかもほぼ等距離で複数のスレーブチップ（メモリ）を設置並びに制御することができる。このため、大容量のデータを格納並びに高速伝送することができる。また、マスターチップ（メモリコントローラ部）から独立してバス選択装置を設けることにより、マスターチップ（メモリコントローラ部）のピン数の削減が期待される。

【図面の簡単な説明】

【図 1】

本発明の一実施の形態によるバス選択装置を含む半導体集積回路システムを模式的に示すブロック図

【図 2】

本実施の形態における判定回路の構成例を示す図

【図 3】

本実施の形態におけるスイッチ回路の構成例を示す図

【図 4】

本実施の形態におけるコマンド入力とデータ出力のタイミングの一例を示す図

【図 5】

本実施の形態におけるコマンドパケットの構成例を示す図

【図 6】

バス選択装置を含む半導体集積回路システムを模式的に示すブロック図

【図 7】

本実施の形態におけるコマンド入力、スイッチ動作、データ出力のタイミングの一例を示す図

【図 8】

本実施の形態におけるコマンド入力、スイッチ動作、データ出力のタイミングを示すもう一つの例を示す図

【符号の説明】

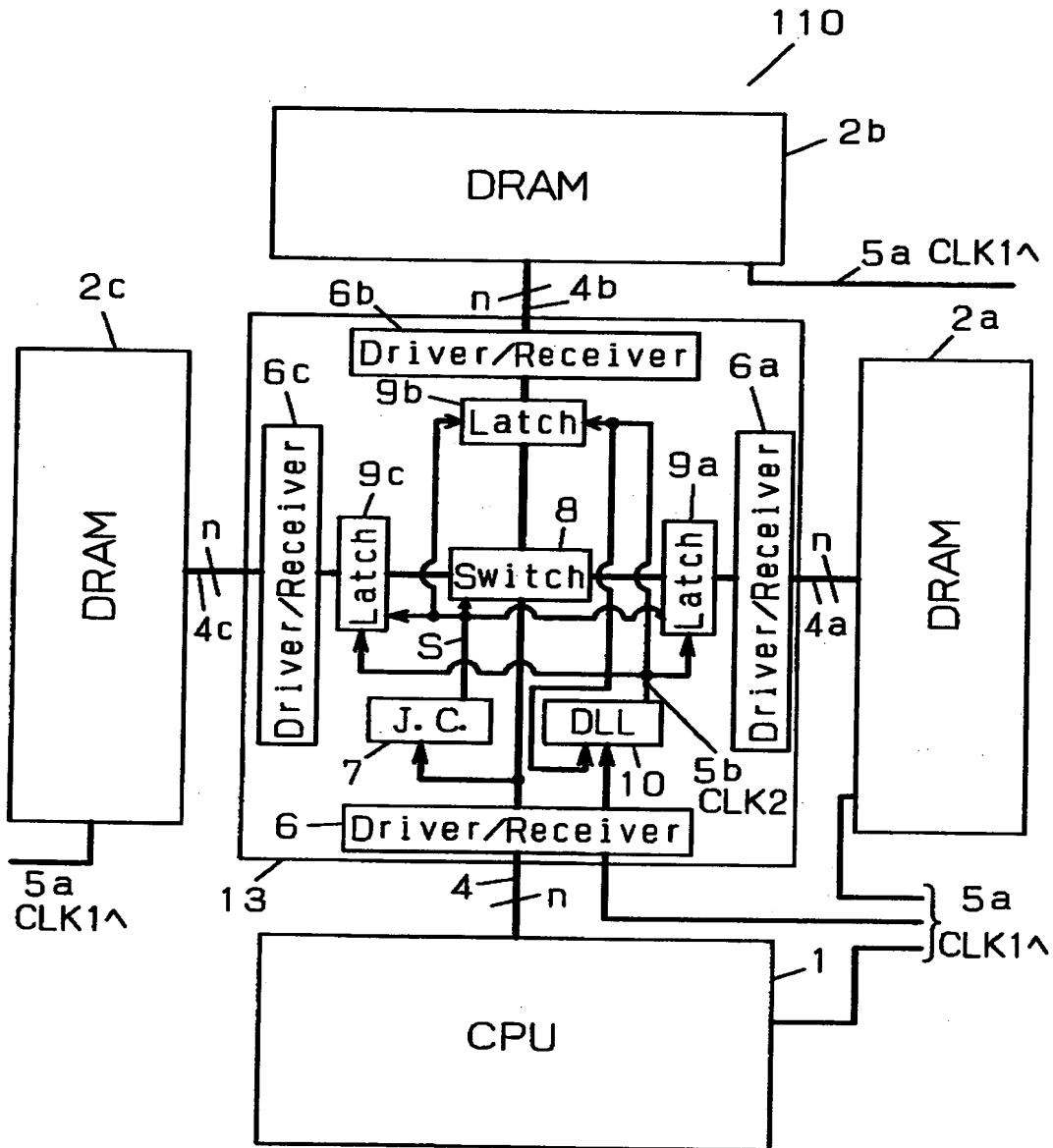
- 1 マスターチップ
- 2 スレーブチップ
- 3, 13 バス選択装置
- 4 バス
- 5 クロック線
- 6 送受信部
- 7 判定回路
- 8 スイッチ回路
- 9 ラッチ回路

特平 10-060868

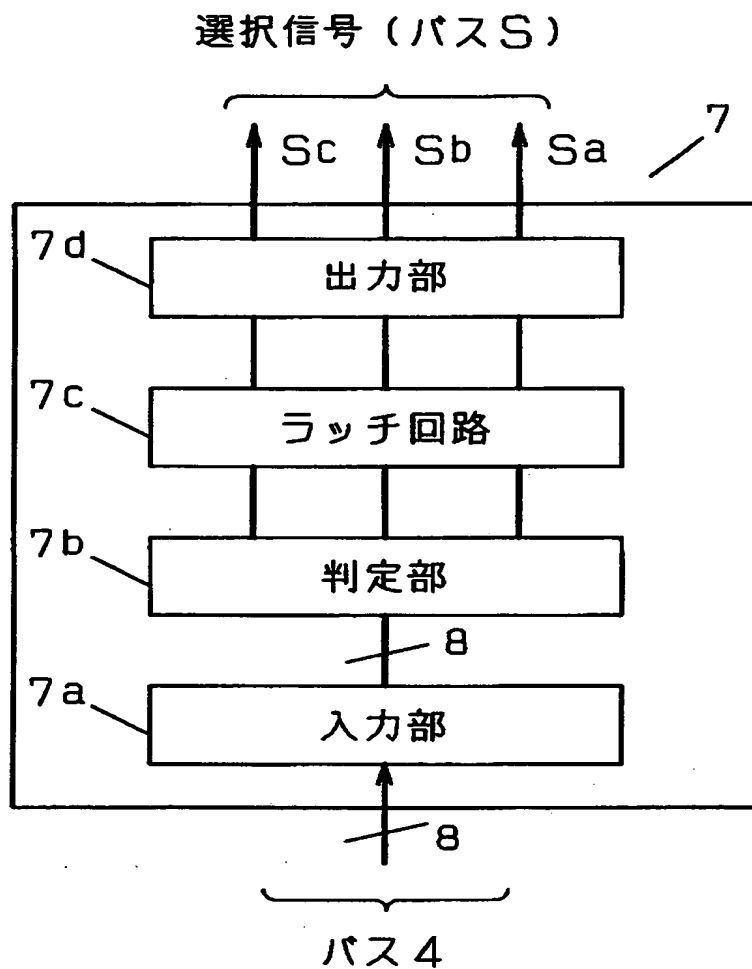
10 クロック位相調整回路

【書類名】 図面

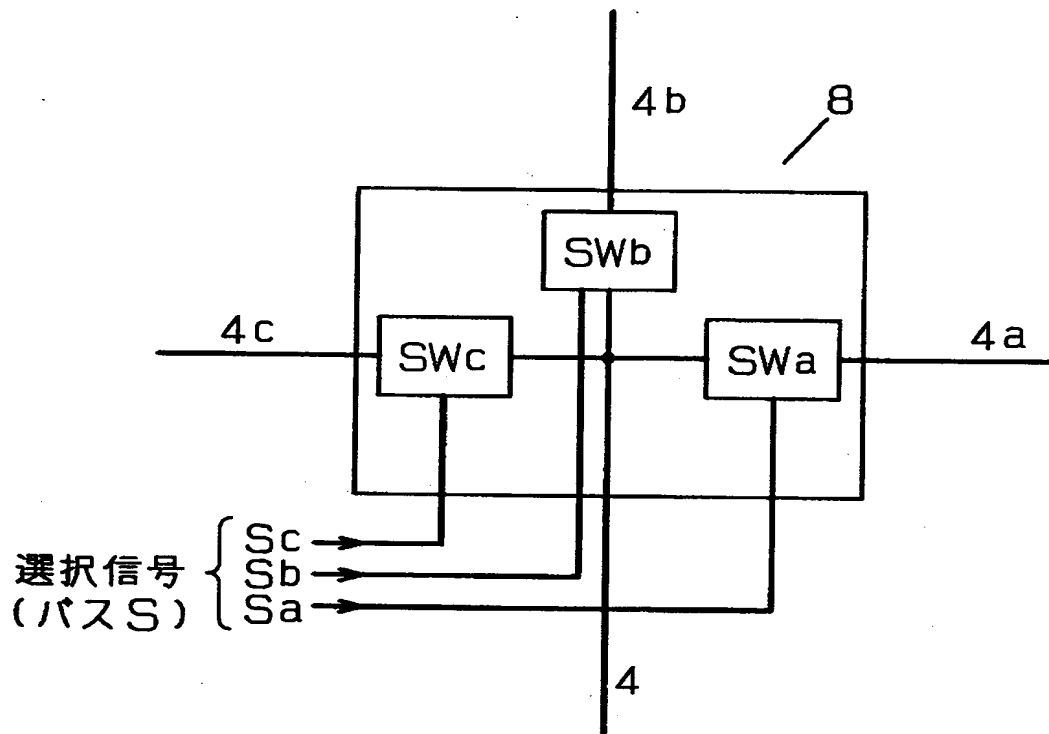
【図1】



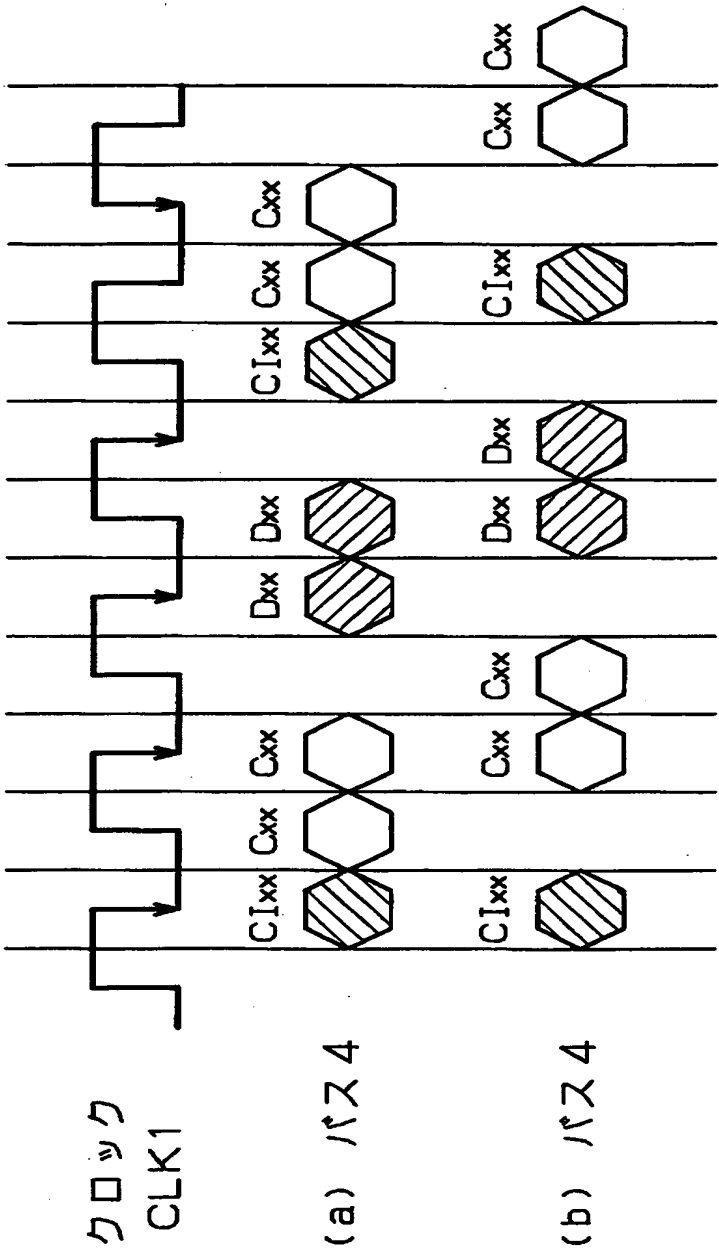
【図 2】



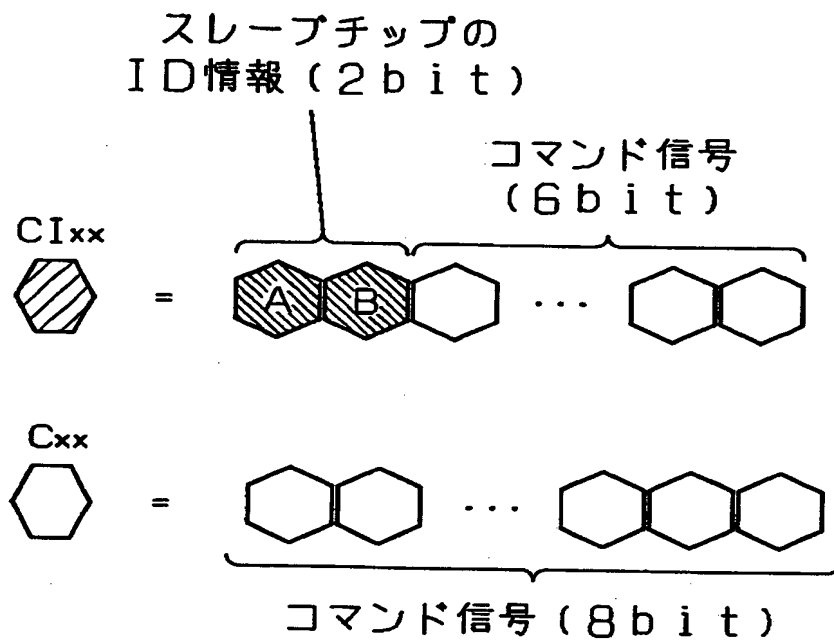
【図 3】



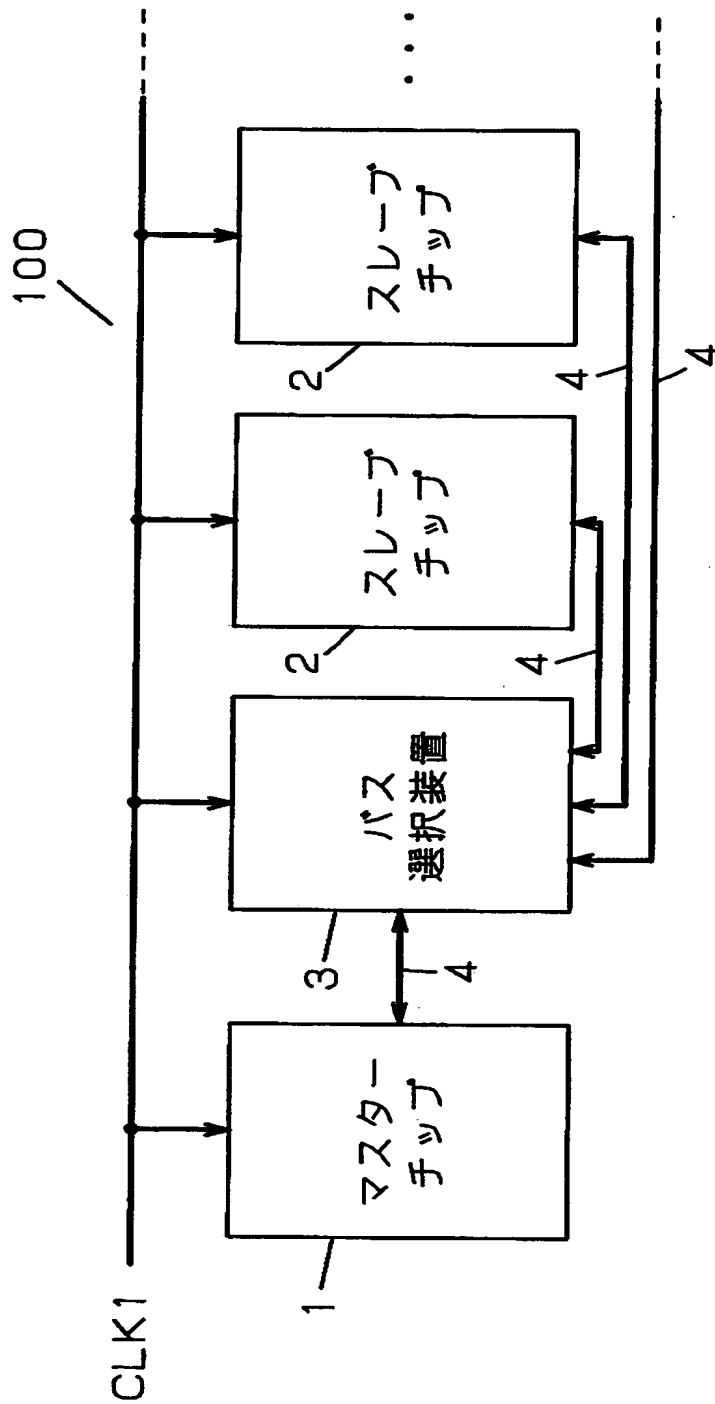
【図 4】



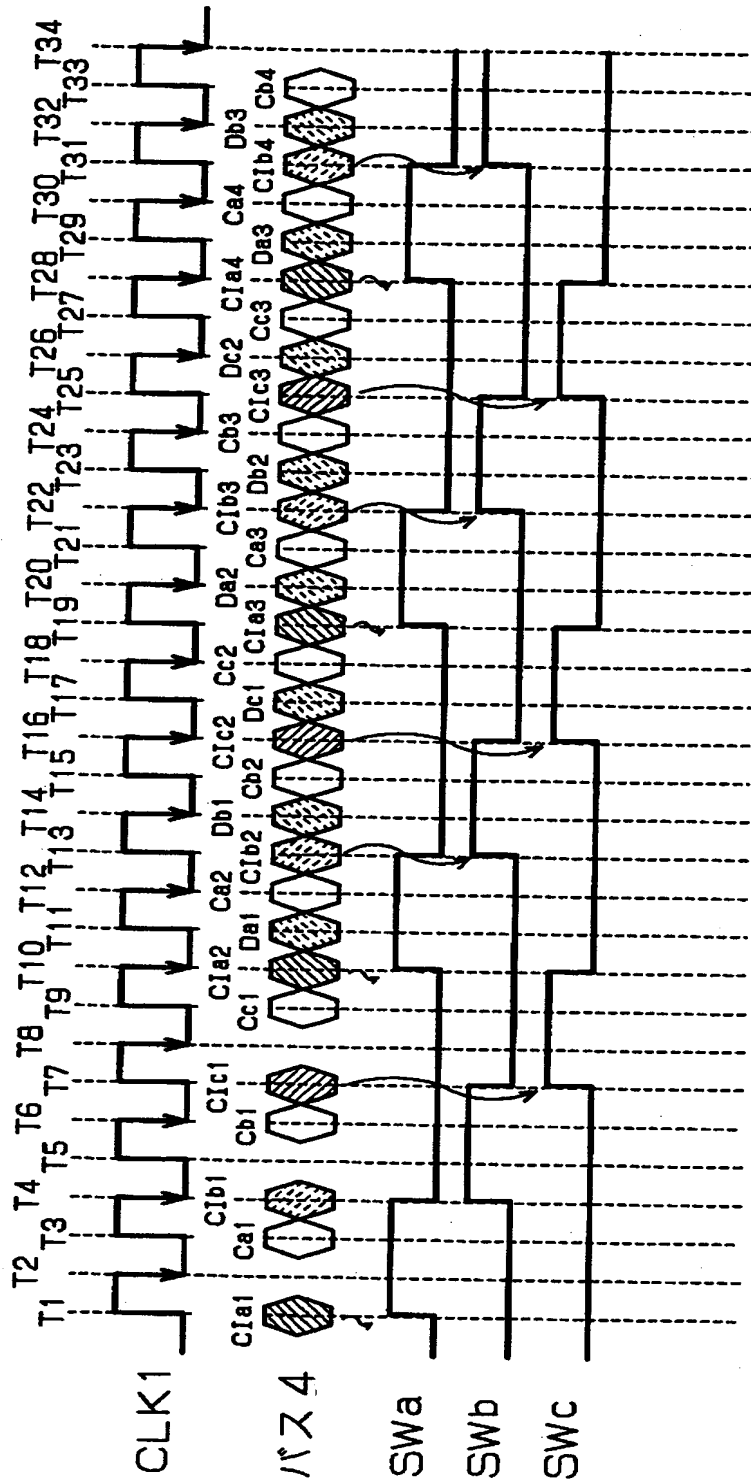
【図5】



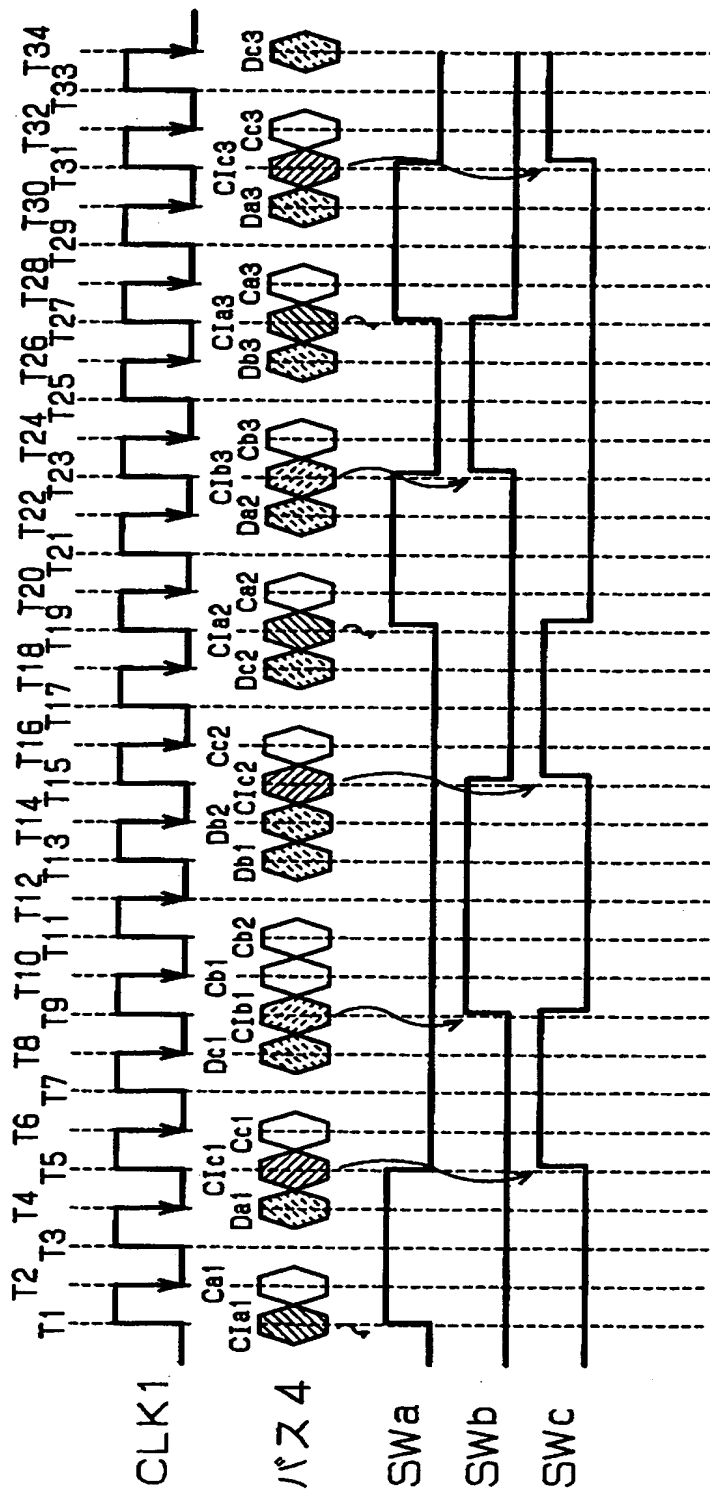
【図 6】



【図7】



【図 8】



【書類名】 要約書

【要約】

【課題】 複数のスレーブチップを高速に制御するために、マスターチップから各スレーブチップまでのバス長を短くする。

【解決手段】 複数の入出力部を有するバス選択装置 13 をマスターチップ 1 と複数のスレーブチップ 2a～2c との間に設置し、マスターチップ 1 からその制御コマンドを入力することで複数のスレーブチップ 2a～2c とのバスを選択し、複数のスレーブチップ 2a～2c を制御することを可能とした。また、マスターチップ 1 から各スレーブチップ 2a～2c までのバス長を短くすることで高速なデータ伝送を可能とした。

【選択図】 図 1

【書類名】
【訂正書類】

職権訂正データ
特許願

<認定情報・付加情報>

【特許出願人】

【識別番号】 000005821

【住所又は居所】 大阪府門真市大字門真 1006 番地

【氏名又は名称】 松下電器産業株式会社

【代理人】 申請人

【識別番号】 100078204

【住所又は居所】 大阪府門真市大字門真 1006 松下電器産業株式
会社内

【氏名又は名称】 滝本 智之

【選任した代理人】

【識別番号】 100097445

【住所又は居所】 大阪府門真市大字門真 1006 番地 松下電器産業
株式会社内

【氏名又は名称】 岩橋 文雄

出 願 人 履 歴 情 報

識別番号 [000005821]

1. 変更年月日	1990年 8月28日
[変更理由]	新規登録
住 所	大阪府門真市大字門真1006番地
氏 名	松下電器産業株式会社